

METHOD FOR DRIVING PLASMA DISPLAY PANEL

Publication number: JP2004093888 (A)

Publication date: 2004-03-25

Inventor(s): FUJIMOTO JUN; KOSAKA TADAYOSHI; HIDAKA SOICHIRO

Applicant(s): FUJITSU HITACHI PLASMA DISPLAY

Classification:

- international: G09G3/20; G09G3/28; G09G3/20; G09G3/28; (IPC1-7): G09G3/28; G09G3/20

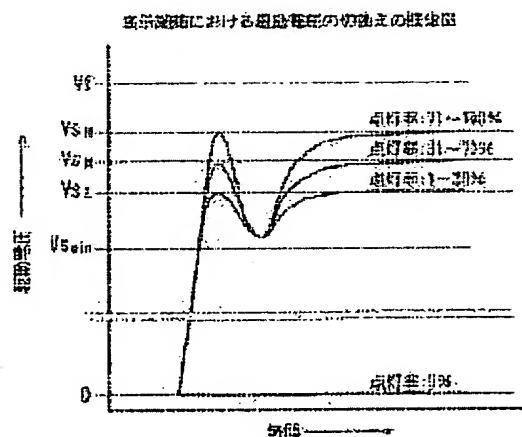
- European:

Application number: JP20020254835 20020830

Priority number(s): JP20020254835 20020830

Abstract of JP 2004093888 (A)

PROBLEM TO BE SOLVED: To prolong the lifetime of a display surface and to reduce electric power consumption by reducing the discharge impact deteriorating cells. ; **SOLUTION:** A lighting rate which is the ratio of the number of the cells to be lighted to the total number of the cells is detected in accordance with the display data to determine the contents of addressing. The setting of the sustaining voltage to be impressed during sustaining to display the corresponding display data is changed according to the detected lighting rate in such a manner that the voltage at the low lighting rate is made lower than the voltage at the greater lighting rate. When the cells to be lighted are a few, the amount of the voltage drop of a power source is relatively small and therefore even if the set value of the sustaining voltage is low, the sustaining voltage is prevented from dropping down to the permissible lower limit or below due to the voltage drop. ; **COPYRIGHT:** (C)2004,JPO



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-93888

(P2004-93888A)

(43) 公開日 平成16年3月25日(2004. 3. 25)

(51) Int. Cl.⁷G09G 3/28
G09G 3/20

F 1

G09G 3/28 H
G09G 3/20 611A
G09G 3/20 612U
G09G 3/20 624M
G09G 3/20 641E

テーマコード (参考)

5C080

審査請求 未請求 請求項の数 4 O L (全 10 頁) 最終頁に続く

(21) 出願番号

特願2002-254835 (P2002-254835)

(22) 出願日

平成14年8月30日 (2002. 8. 30)

(71) 出願人 599132708

富士通日立プラズマディスプレイ株式会社
神奈川県川崎市高津区坂戸3丁目2番1号

(74) 代理人 100086933

弁理士 久保 幸雄

(72) 発明者 藤本 順

神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内

(72) 発明者 小坂 忠義

神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内

最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

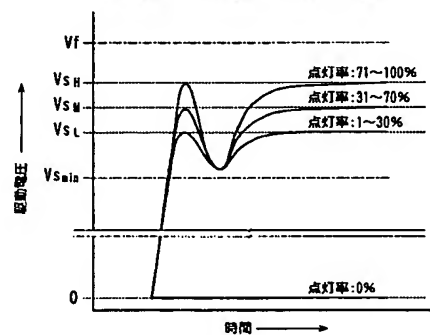
(57) 【要約】

【課題】 セルを劣化させる放電衝撃を低減して表示面の長寿命化を図るとともに、消費電力を低減することを目的とする。

【解決手段】 アドレッシングの内容を決める表示データに基づいて、セルの総数に対する点灯すべきセルの数の割合である点灯率を検出し、検出した点灯率に応じて、該当する表示データを表示するサステインにおいて印加する維持電圧の設定を、点灯率が小さいときは大きいときより低い電圧とするように変更する。点灯すべきセルが少ないときには電源の電圧ドロップ量が比較的に小さいので、維持電圧の設定値が低くても、電圧ドロップによって維持電圧が許容下限より下がることはない。

【選択図】 図7

表示期間における駆動電圧の切換えの概念図



【特許請求の範囲】**【請求項 1】**

表示面を構成するセルのうちの表示データが示す点灯すべきセルに壁電圧を生じさせるアドレッシングを行い、その後に全てのセルに一斉に維持電圧を印加して前記点灯すべきセルで表示すべき明るさに応じた回数の表示放電を起こすサステインを行うプラズマディスプレイパネルの駆動方法であって、

アドレッシングの内容を決める表示データに基づいて、セルの総数に対する点灯すべきセルの数の割合である点灯率を検出し、

検出した点灯率に応じて、該当する表示データを表示するサステインにおいて印加する維持電圧の設定を、当該点灯率が小さいときは大きいときより低い電圧とするように変更する

10

ことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 2】

維持電圧を、表示放電に伴う電源出力の低下を見込んだ許容範囲内の電圧とする

請求項 1 記載のプラズマディスプレイパネルの駆動方法。

【請求項 3】

検出した点灯率が零のときは、維持電圧の値を零とする

請求項 1 記載のプラズマディスプレイパネルの駆動方法。

【請求項 4】

表示面を構成するセルのうちの表示データが示す点灯すべきセルに壁電圧を生じさせるアドレッシングを行い、その後に全てのセルに一斉に維持電圧を印加して前記点灯すべきセルで表示すべき明るさに応じた回数の表示放電を起こすサステインを行うプラズマディスプレイパネルの駆動装置であって、

20

アドレッシングの内容を決める表示データに基づいて、セルの総数に対する点灯すべきセルの数の割合である点灯率を検出する点灯率検出回路と、

検出された点灯率に応じて、該当する表示データを表示するサステインにおいて印加する維持電圧の設定を、当該点灯率が小さいときは大きいときより低い電圧とするように変更するコントローラとを有する

ことを特徴とするプラズマディスプレイパネルの駆動装置。

【発明の詳細な説明】

30

【0001】**【発明の属する技術分野】**

本発明は、プラズマディスプレイパネル (Plasma Display Panel: PDP) の駆動方法に関する。

【0002】

PDP を備えた大画面テレビジョン受像機が普及しつつある。PDP に対する要望に、さらなる長寿命化と消費電力の低減がある。

【0003】**【従来の技術】**

カラー表示に面放電構造をもつ AC 型 PDP が用いられている。ここでいう面放電構造は、セルの発光量を決める表示放電を生じさせるための表示電極を前面基板または背面基板の上に平行に配列する構造であり、カラー表示のための蛍光体に対する放電による衝撃を緩和するのに適している。

40

【0004】

AC 型の PDP では、表示電極が誘電体で被覆されており、誘電体の帯電により生じる壁電圧を利用して表示放電を生じさせる駆動方法が適用される。表示に際しては、表示面を構成するセルのうちの表示データが示す点灯すべきセルに適度の壁電圧を生じさせるアドレッシングを行い、その後に全てのセルに一斉に交番極性の維持電圧 V_s を印加して点灯すべきセルで表示すべき明るさに応じた回数の表示放電を起こすサステインを行う。維持電圧 V_s は次式を満たす。

50

【0005】

$$V_f - V_w < V_s < V_f$$

V_f : 放電開始電圧

V_w : 電極間の壁電圧

維持電圧 V_s の印加によって、所定値以上の壁電圧が生じているセルのみにおいてセル電圧（電極に印加する電圧と壁電圧の和）が放電開始電圧 V_f を越えて表示放電が起こる。表示放電によってセルが発光することを“点灯”という。維持電圧 V_s の印加周期は数マイクロ秒程度と短いので、視覚的には発光が連続する。

【0006】

維持電圧 V_s は当然に駆動マージン（許容範囲）内の値に設定される。駆動マージンは、放電開始電圧 V_f と点灯を維持するのに必要な最低の駆動電圧 $V_{s_{min}}$ との差で定義される。維持電圧 V_s を V_f 以上にすると、アドレッシングで非点灯としたセルでも放電が起こってしまう。維持電圧 V_s を $V_{s_{min}}$ 未満とすると、点灯状態のセルが消灯状態になってしまう。

10

【0007】

【発明が解決しようとする課題】

表示面の1画素は発光色がR、G、Bの少なくとも3個のセルで構成され、セルの総数は解像度の3倍である。例えば比較的の低解像度のVGA仕様であっても、表示面は $640 \times 480 \times 3$ 個ものセルからなる。したがって、1回のアドレッシングで設定される点灯すべきセルが数万個を超える状況は頻繁に起こる。サステインでは多数のセルでほぼ一斉に表示放電が起こり、電源からPDPへ放電電流が一時期に集中的に流れる。このため、セルに印加する維持電圧 V_s が一時的に降下する、いわゆる電圧ドロップが生じる。ドロップ量は点灯すべきセルが多いほど大きい。電圧ドロップを電源の大型化によって解決するのは、表示装置の価格を大幅に上昇させるので現実的でない。

20

【0008】

PDPのセル間において放電特性に若干のばらつきがあり、放電遅れ時間の比較的短いセルと長いセルとが存在する。維持電圧の印加に呼応して、先に放電遅れ時間の短いセルで表示放電が起こり、その後に放電遅れ時間の長いセルで起こる。このとき、早い時期の表示放電に伴う電圧ドロップによって、遅い時期の表示放電が起こらないおそれがある。

30

【0009】

従来では、駆動回路動作の設計における駆動電圧の設定に際して、全てのセルを点灯させる場合に確実に全てのセルで表示放電が起こるように、電圧ドロップを見込んで駆動マージン内の十分に高い電圧が維持電圧として設定され、その設定は固定であった。点灯すべきセルが少ない場合にも多い場合と同様に高い維持電圧が印加されるので、必要以上に電圧が高い分だけ、蛍光体および誘電体が余計に放電衝撃を受け、かつ無駄に電力を消費して発光効率が下がるという問題があった。表示面の焼き付きを抑える上でも、放電衝撃を低減するのが望ましい。

【0010】

本発明は、セルを劣化させる放電衝撃を低減して表示面の長寿命化を図るとともに、消費電力を低減することを目的としている。

40

【0011】

【課題を解決するための手段】

本発明においては、アドレッシングの内容を決める表示データに基づいて、セルの総数に対する点灯すべきセルの数の割合である点灯率を検出し、検出した点灯率に応じて、該当する表示データを表示するサステインにおいて印加する維持電圧の設定を、点灯率が小さいときは大きいときより低い電圧とするように変更する。

【0012】

点灯すべきセルが少ないときには電源の電圧ドロップ量が比較的の小さいので、維持電圧の設定値が低くても、電圧ドロップによって維持電圧が許容下限より下がることはない。維持電圧を低く設定することで、表示放電に伴う放電衝撃が緩和されるとともに消費電力

50

が小さくなる。

【0013】

維持電圧の設定変更は、点灯率を複数の範囲に区分して区分ごとに異なる設定をする段階的な変更でもよいし、点灯率の値ごとに異なる設定をする連続的な変更でもよい。

【0014】

【発明の実施の形態】

図1は本発明に係る表示装置の構成図、図2は表示電極を駆動するXドライバおよびYドライバの概略構成図である。表示装置100は、カラー表示面を有した面放電AC型のPDP1と、セルの発光を制御するドライブユニット70とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

10

【0015】

PDP1では、表示放電を生じさせるための電極対を構成する表示電極Xと表示電極Yが互いに平行に配置され、これら表示電極X、Yと交差するようにアドレス電極Aが配列されている。表示電極X、Yは画面の行方向（水平方向）に延び、アドレス電極は列方向（垂直方向）に延びている。

【0016】

ドライブユニット70は、コントローラ71、データ変換回路72、電源回路73、状態検出回路74、Xドライバ75、Yドライバ76、およびAドライバ77を有している。ドライブユニット70にはTVチューナ、コンピュータなどの外部装置からR、G、Bの3色の輝度レベルを示すフレームデータDfが各種の同期信号とともに入力される。フレームデータDfはデータ変換回路72の中のフレームメモリに一時的に記憶される。データ変換回路72は、フレームデータDfを階調表示のためのサブフレームデータDsfに変換してAドライバ77へ送る。サブフレームデータDsfは1セル当たり1ビットの表示データの集合であって、その各ビットの値は該当する1つのサブフレームにおけるセルの発光の要否、厳密にはアドレス放電の要否を示す。Aドライバ77は、サブフレームデータDsfに従って、アドレス放電を起こすべきセルを通るアドレス電極Aにアドレスパルス印加する。なお、電極へのパルスの印加とは、電極を一時的に所定電位にバイアスすることを意味する。コントローラ71は、パルスの印加およびサブフレームデータDsfの転送を制御する。電源回路73は、各ドライバへPDP1の駆動に必要な電力を供給する。

20

30

【0017】

状態検出回路74は、フレームごとに“表示負荷率”を検出するとともに、サブフレームごとに本発明に特有の“点灯率”を検出する。表示負荷率は、電力消費の指標であり、1フレームにおけるセルの階調値を G_i ($0 \leq G_i \leq G_{max}$)としたときの比率 G_i / G_{max} の全放電セルにわたる平均値として定義される。この表示負荷率は、明るい画像を表示するときサステインパルスの印加を少なくして消費電力および発熱を抑える自動電力制御(Auto Power Control: APC)に用いられる。これに対して点灯率は、サブフレームにおける点灯すべきセル数 k のセル総数 K に対する割合(例えば百分率とすれば点灯率 $= k / K \times 100$)であり、サステインにおける電圧ドロップの指標である。状態検出回路74はサブフレームデータDsfに基づいて点灯すべきセルを示すビットをカウントすることによって点灯率を検出し、検出した点灯率をコントローラ71に通知する。点灯率は、サステインパルスの振幅(つまり維持電圧)の設定変更に応用される。

40

【0018】

図2のように、Xドライバ75は、表示電極Xに壁電荷の初期化のためのパルス印加するリセット回路81、アドレッシングにおいて表示電極Xの電位を制御するためのバイアス回路82、および表示電極Xにサステインパルス印加するサステイン回路83からなる。Yドライバ76は、表示電極Yに壁電荷の初期化のためのパルス印加するリセット回路85、アドレッシングにおいて表示電極Yにスキャンパルス印加するスキャン回路86、および表示電極Yにサステインパルス印加するサステイン回路87からなる。

50

【0019】

図3はPDPのセル構造の一例を示す図である。図3ではPDP1のうち、1画素の表示に関わる3つのセルに対応した部分を、内部構造がよくわかるように一对の基板構体10、20を分離させて描いてある。PDP1是一对の基板構体10、20からなる。基板構体とは、ガラス基板上に電極その他の構成要素を設けた構造体を意味する。PDP1では、前面側のガラス基板11の内面に表示電極X、Y、誘電体層17および保護膜18が設けられ、背面側のガラス基板21の内面にアドレス電極A、絶縁層24、隔壁29、および蛍光体層28R、28G、28Bが設けられている。表示電極X、Yは、それぞれが面放電ギャップを形成する透明導電膜41とバス導体としての金属膜42とから構成されている。隔壁29はアドレス電極配列の電極間隙ごとに1つつ設けられており、これらの隔壁29によって放電空間が行方向に列毎に区画されている。放電空間のうちの各列に対応した列空間31は全ての行に跨がって連続している。蛍光体層28R、28G、28Bは放電ガスが放つ紫外線によって局部的に励起されて発光する。図中の斜体アルファベットR、G、Bは蛍光体の発光色を示す。

10

【0020】

以下、表示装置100におけるPDP1の駆動方法を説明する。

【0021】

図4はフレーム分割の概念図である。PDP1による表示では、2値の点灯制御によってカラー再現を行うために、入力画像である時系列のフレームFを所定数qのサブフレームSFに分割する。つまり、各フレームFをq個のサブフレームSFの集合に置き換える。これらサブフレームSFに順に例えば 2^0 、 2^1 、 2^2 、 \dots 、 2^{q-1} の重みを付与して各サブフレームSFの表示放電の回数を設定する。図ではサブフレーム配列が重みの順であるが、他の順序であってもよい。冗長な重み付けを採用して偽輪郭を低減してもよい。このようなフレーム構成に合わせてフレーム転送周期であるフレーム期間Tfをq個のサブフレーム期間Ts fに分割し、各サブフレームSFに1つのサブフレーム期間Ts fを割り当てる。さらに、サブフレーム期間Ts fを、初期化のためのリセット期間TR、アドレッシングのためのアドレス期間TA、およびサステインのための表示期間TSに分ける。リセット期間TRおよびアドレス期間TAの長さが重みに係わらず一定であるのに対し、表示期間TSの長さは重みが大きいほど長い。したがって、サブフレーム期間Ts fの長さも、それに該当するサブフレームSFの重みが大きいほど長い。駆動シーケンスはサブフレームごとに繰り返され、q個のサブフレームSFにおいてリセット期間TR・アドレス期間TA・表示期間TSの順序は共通である。

20

30

【0022】

図5は駆動シーケンスの概要を示す電圧波形図である。図において表示電極X、Yの参照符号の添字(1, n)は対応する行の配列順位を示し、アドレス電極Aの参照符号の添字(1, m)は対応する列の配列順位を示す。なお、図示の波形は一例であり、振幅・極性・タイミングを種々変更することができる。

【0023】

各サブフレームSFのリセット期間TRにおいては、全ての表示電極Xに対して負極性のパルスPrx1と正極性のパルスPrx2とを順に印加し、全ての表示電極Yに対して正極性のパルスPry1と負極性のパルスPry2とを順に印加する。パルスPrx1、Prx2、Pry1、Pry2は微小放電が生じる変化率で振幅が漸増するランプ波形パルスである。最初に印加されるパルスPrx1、Pry1は、前サブフレームにおける点灯/非点灯に係わらず全てのセルに同一極性の適当な壁電圧を生じさせるために印加される。適度の壁電荷が存在するセルにパルスPrx2、Pry2を印加することにより、パルスPrx2、Pry2の値に応じて壁電圧を放電開始電圧とパルス振幅との差に相当する値に調整することができる。本例における初期化は、全てのセルについてそれぞれの壁電荷(つまり壁電圧)を設定値にするものである。なお、表示電極X、Yの片方のみパルスを印加して初期化を行うことができるが、図示のように表示電極X、Yの双方に互いに反対極性のパルスを印加することによりドライバ回路素子の低耐圧化を図ることができる。

40

50

セルに加わる駆動電圧は、表示電極 X, Y に印加されるパルスの振幅を加算した合成電圧である。

【0024】

アドレス期間 T_A においては、点灯すべきセルのみに点灯維持に必要な壁電荷を形成する。全ての表示電極 X および全ての表示電極 Y を所定電位にバイアスした状態で、行選択期間（1 行分のスキャン時間）ごとに選択行に対応した 1 つの表示電極 Y に負極性のスキャンパルス P_y を印加する。この行選択と同時にアドレス放電を生じさせるべき選択セルに対応したアドレス電極 A のみにアドレスパルス P_a を印加する。つまり、選択行の m 列分のサブフレームデータ D_{s f} に基づいてアドレス電極 A の電位を 2 値制御する。選択セルでは表示電極 Y とアドレス電極 A との間の放電が生じ、それがトリガとなって表示電極間の面放電が生じる。これら一連の放電がアドレス放電である。

10

【0025】

表示期間 T_S においては、最初に全ての表示電極 Y に対して振幅 V_s の正極性のサステインパルス P_s を印加する。以後、印加対象として表示電極 X と表示電極 Y とを交互に入れ替えて、サステインパルス P_s を印加する。これにより、X Y 電極間には極性が交互に入れ替わるサステインパルス列が加わる。サステインパルスの印加によって、所定の壁電荷が残存するセルで面放電が生じる。サステインパルスの印加回数は上述したとおりサブフレームの重みに対応する。

【0026】

以上の駆動シーケンスのうち、本発明に深く係わるのは表示期間 T_S におけるサステインパルス P_s の印加である。そして、重要なことは、サステインパルス P_s の振幅（維持電圧）V_s が固定ではなく、上述の点灯率に応じて変更されることである。以下では、表示電極 X に対するサステインパルスの印加手段であるサステイン回路 83（図 3 参照）の構成および動作を説明する。表示電極 Y に対するサステインパルスの印加手段であるサステイン回路 87 の構成および動作はサステイン回路 83 と同様であるので、その説明は省略する。

20

【0027】

図 6 は本発明に係るサステイン回路の構成図である。サステイン回路 83 は、振幅 V_s の矩形波パルスを出力する機能をもつパルス発生回路 831、電極間の静電容量の充放電を LC 共振によって高速に行う電力回収回路 832、およびサステインパルス P_s の振幅を変更するための電圧変更回路 833 から構成される。パルス発生回路 831 は一対のスイッチング素子を有したプッシュプル構成のスイッチング回路であり、表示電極 X を電圧変更回路 833 の出力端子または GND に接続する。電圧変更回路 833 の出力端子と GND との間の電位差が維持電圧 V_s である。電圧変更回路 833 に対して、コントローラ 71 は点灯率に応じた電圧を出力するよう指示を与える。

30

【0028】

図 7 は表示期間における駆動電圧の切換えの概念図である。例示では点灯率が、1～30%、31～70%、および 71～100% の 3 つの範囲に区分され、区分ごとに異なる維持電圧 V_{sL}, V_{sM}, V_{sH} が決められている。維持電圧 V_{sL}, V_{sM}, V_{sH} には V_{sL} < V_{sM} < V_{sH} の関係がある。これら維持電圧 V_{sL}, V_{sM}, V_{sH} の総称が上述の維持電圧 V_s である。維持電圧 V_{sL}, V_{sM}, V_{sH} は、電圧ドロップを見込んで、ドロップしたときの駆動電圧が点灯を維持するのに必要な最低の電圧 V_{smin} よりも低くならないように決められている。駆動電圧が電圧 V_{smin} よりも高ければ表示に支障はない。

40

【0029】

点灯率が 71～100% のサブフレームにおけるサステインでは維持電圧 V_{sH} が設定され、点灯率が 31～70% のサブフレームにおけるサステインでは維持電圧 V_{sM} が設定され、点灯率が 1～30% のサブフレームにおけるサステインでは維持電圧 V_{sL} が設定される。そして、点灯率が 0% のときには、維持電圧 V_s が零とされる。維持電圧 V_s が低いほど、蛍光体および誘電体が受ける放電衝撃が弱くかつ放電電流が少ないので

50

、セルの劣化防止および発効効率の向上に有利である。また、維持電圧 V_s を零として実質的に電圧印加を停止することにより、電極間の静電容量の充放電に伴う無駄な電力消費を無くすることができる。

【0030】

以上の実施形態において、表示放電に伴う維持電圧のドロップを検出し、許容下限より下がらないように維持電圧を調整する機能を組み入れることができる。

【0031】

上述の実施形態においては、単一極性のサステインパルス P_s を表示電極 X 、 Y に交互に印加する例を挙げたが、振幅が $V_s / 2$ の正負のパルスを表示電極 X 、 Y に同時に印加して表示電極間に維持電圧 V_s を印加する駆動形態を採用してもよい。表示電極 X 、 Y の配列については、マトリクス表示の行ごとに一対ずつ配列する形態に限らず、行数 n に 1 を加えた本数の表示電極を 2 行に 3 本の割合で等間隔に配列する形態であってもよい。配列形態に係わらず本発明を適用することができる。

10

【0032】

【発明の効果】

請求項 1 ないし請求項 4 の発明によれば、セルを劣化させる放電衝撃を低減して表示面の長寿命化を図るとともに、消費電力を低減することができる。

【図面の簡単な説明】

【図 1】本発明に係る表示装置の構成図である。

【図 2】表示電極を駆動する X ドライバおよび Y ドライバの概略構成図である。

20

【図 3】PDP のセル構造の一例を示す図である。

【図 4】フレーム分割の概念図である。

【図 5】駆動シーケンスの概要を示す電圧波形図である。

【図 6】本発明に係るサステイン回路の構成図である。

【図 7】表示期間における駆動電圧の切換えの概念図である。

【符号の説明】

Dsf サブフレームデータ（表示データ）

V_s 、 V_{sL} 、 V_{sM} 、 V_{sH} 維持電圧

1 PDP（プラズマディスプレイパネル）

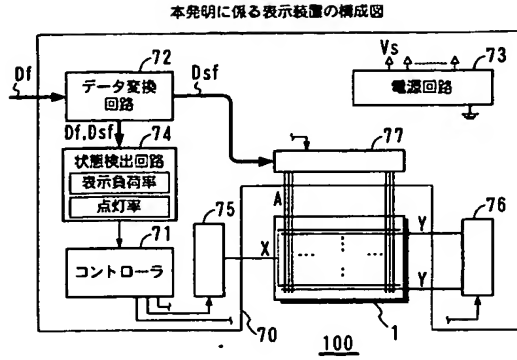
70 ドライブユニット（駆動装置）

30

74 状態検出回路（点灯率検出回路）

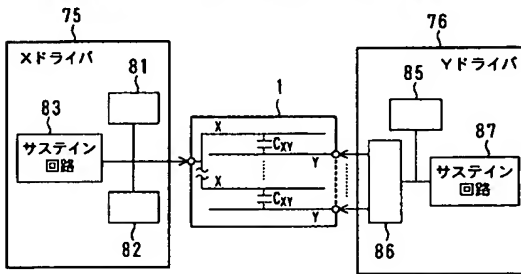
71 コントローラ

【図 1】



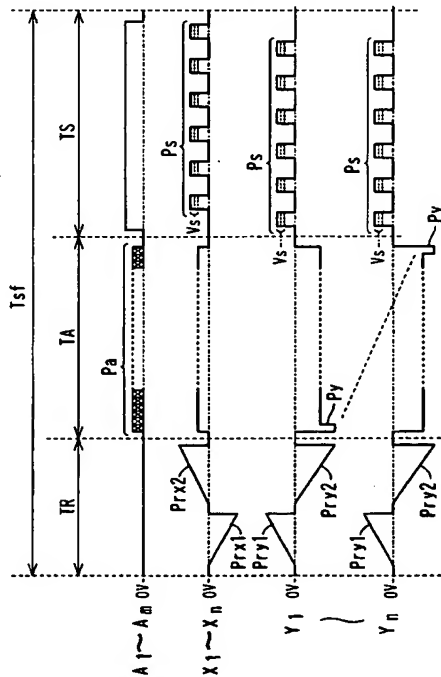
【図 2】

表示電極を駆動するXドライバおよびYドライバの概略構成図



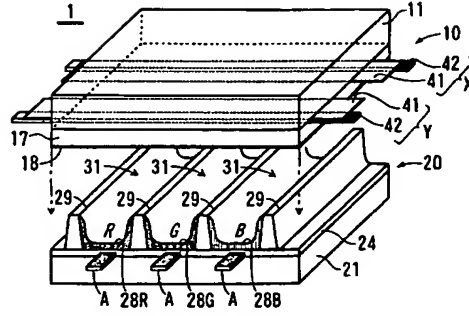
【図 5】

駆動シーケンスの概要を示す電圧波形図



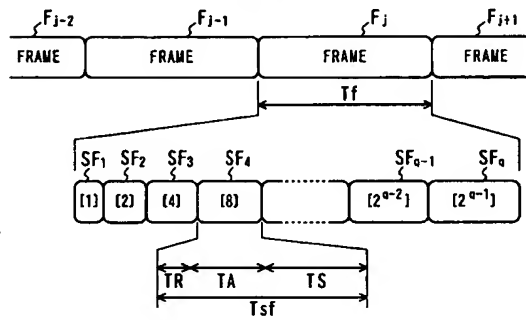
【図 3】

PDPのセル構造を示す図



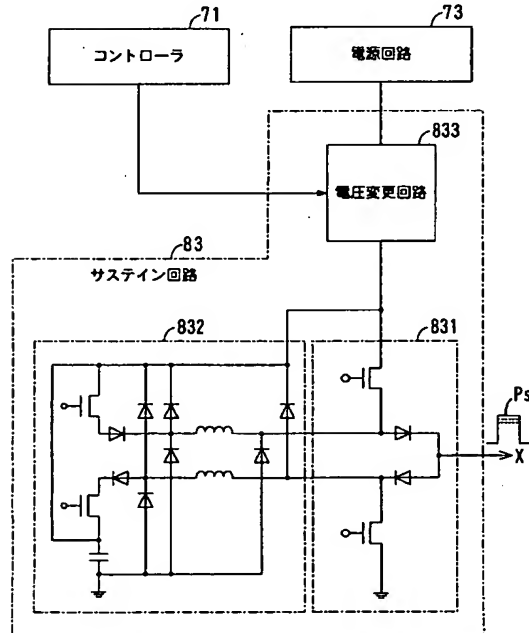
【図 4】

フレーム分割の概念図

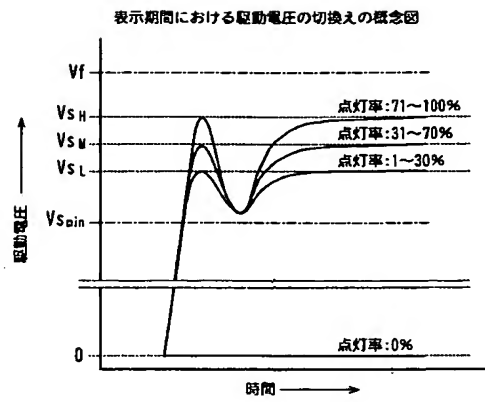


【図 6】

本発明に係るサステイン回路の構成図



【 図 7 】



フロントページの続き

(51)Int. Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 7 0 K

(72)発明者 日高 総一郎

神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立プラズマディスプレイ株式会社内

Fターム(参考) 5C080 AA05 BB05 CC03 DD26 DD29 EE28 FF12 HH05 JJ02 JJ03

JJ04 JJ05 JJ06